

(51)Int.Cl. ⁶	識別記号	F I
H 0 4 N 5/265		H 0 4 N 5/265
G 0 6 T 1/00		9/74 Z
H 0 4 N 9/74		G 0 6 F 15/66 4 5 0

審査請求 未請求 請求項の数4 O L （全 12 頁）

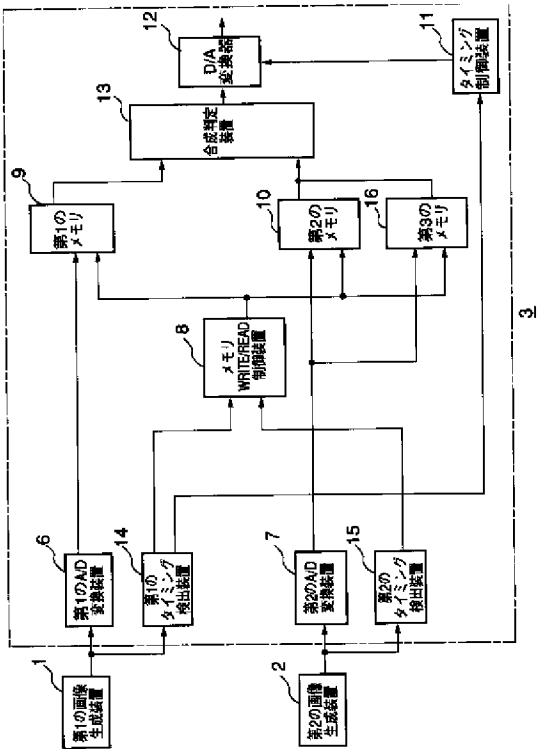
(21)出願番号	特願平9-95867	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成9年(1997)4月14日	(72)発明者	岡崎 俊博 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	弁理士 宮田 金雄 （外2名）

(54)【発明の名称】 画像合成装置

(57)【要約】

【課題】 画像合成装置において、非同期または解像度の異なる画像データが入力された場合にも画像合成ができることを課題とする。

【解決手段】 画像合成装置に、タイミング検出装置14、15、合成判定装置13を備え、メモリ9、10、16への入出力タイミング及びアドレス制御を行うことにより、画像生成装置1、2から入力される垂直同期信号が非同期の画像データを合成することができる。



【特許請求の範囲】

【請求項1】 静止画又は動画を生成しアナログRGB信号を出力する第1の画像生成装置の出力信号をデジタル信号に変換する第1のA/D変換装置と、前記第1のA/D変換装置においてデジタル化された画像データの記憶を行う第1のメモリと、上記第1の画像生成装置の出力信号を入力し、入力信号の同期信号を検出する第1のタイミング検出装置と、静止画又は動画を生成しアナログRGB信号を出力する第2の画像生成装置の出力信号をデジタル信号に変換する第2のA/D変換装置と、前記第2のA/D変換装置においてデジタル化された画像データを一画面毎に交互に記憶できるダブルバッファ構造の第3のメモリ及び第4のメモリと、上記第2の画像生成装置の出力信号を入力し、入力信号の同期信号を検出する第2のタイミング検出装置と、第1の入力端に上記第1のタイミング検出装置の出力信号を入力し、第2の入力端に上記第2のタイミング検出装置の出力信号を入力し、各々のメモリへの入出力制御信号を生成するメモリWRITE/READ制御装置と、各々のメモリより入力された画像データの輝度レベルから合成条件を判定し、画像信号の合成を行う合成判定装置と、上記第1のタイミング生成装置の出力信号を入力し、同期信号及びブランク期間のタイミングを制御するタイミング制御装置と、第1の入力端に上記合成判定装置の出力信号を入力し、第2の入力端に上記タイミング制御装置の出力信号を入力し、第2の入力信号に同期して合成判定装置より出力された画像データのD/A変換を行うD/A変換器とを有することを特徴とする画像合成装置。

【請求項2】 静止画又は動画を生成しアナログRGB信号を出力する第1の画像生成装置の出力信号をデジタル信号に変換する第1のA/D変換装置と、前記第1のA/D変換装置においてデジタル化された画像データを一画面毎に交互に記憶できるダブルバッファ構造の第1のメモリ及び第2のメモリと、上記第1の画像生成装置の出力信号を入力し、入力信号の同期信号を検出する第1のタイミング検出装置と、静止画又は動画を生成しアナログRGB信号を出力する第2の画像生成装置の出力信号をデジタル信号に変換する第2のA/D変換装置と、前記第2のA/D変換装置においてデジタル化された画像データを一画面毎に交互に記憶できるダブルバッファ構造の第3のメモリ及び第4のメモリと、上記第2の画像生成装置の出力信号を入力し、入力信号の同期信号を検出する第2のタイミング検出装置と、第1の入力端に上記第1のタイミング検出装置の出力信号を入力し、第2の入力端に上記第2のタイミング検出装置の出力信号を入力し、各々のメモリへの入出力制御信号を生成するメモリWRITE/READ制御装置と、各々のメモリより入力された画像データの輝度レベルから合成条件を判定し、画像信号の合成を行う合成判定装置

と、上記第1のタイミング生成装置の出力信号を入力し、同期信号及びブランク期間のタイミングを制御するタイミング制御装置と、第1の入力端に上記合成判定装置の出力信号を入力し、第2の入力端に上記タイミング制御装置の出力信号を入力し、第2の入力信号に同期して合成判定装置より出力された画像データのD/A変換を行うD/A変換器とを有することを特徴とする画像合成装置。

【請求項3】 静止画又は動画を生成しアナログRGB信号を出力する第1の画像生成装置の出力信号をデジタル信号に変換する第1のA/D変換装置と、同じく静止画又は動画を生成しアナログRGB信号を出力する第2の画像生成装置の出力信号をデジタル信号に変換する第2のA/D変換装置と、第1の入力端に上記第1のA/D変換装置の出力信号を入力し、第2の入力端に上記第2のA/D変換装置の出力信号を入力し、入力された画像データの解像度を比較し制御信号を出力する解像度調整回路と、第1の入力端に上記第1のA/D変換装置の出力信号を入力し、第2の入力端に上記解像度調整回路の出力信号を入力し、画像データの間引きを行う第1のデータサンプリング器と、前記第1のデータサンプリング器から出力された画像データの記憶を行う第1のメモリと、第1の入力端に上記第2のA/D変換装置の出力信号を入力し、第2の入力端に上記解像度調整回路の出力信号を入力し、画像データの間引きを行う第2のデータサンプリング器と、前記第2のデータサンプリング器から出力された画像データの記憶を行う第2のメモリと、上記同期装置の出力信号を入力し、各々のメモリへの入出力制御信号を生成するメモリWRITE/READ制御装置と、各々のメモリより入力された画像データの輝度レベルから合成条件を判定し、画像信号の合成を行う合成判定装置と、上記同期装置の出力信号を入力し、同期信号及びブランク期間のタイミングを制御するタイミング制御装置と、第1の入力端に上記合成判定装置の出力信号を入力し、第2の入力端に上記タイミング制御装置の出力信号を入力し、第2の入力信号に同期して合成判定装置より出力された画像データのD/A変換を行うD/A変換器とを有することを特徴とする画像合成装置。

【請求項4】 静止画又は動画を生成しアナログRGB信号を出力する第1の画像生成装置の出力信号をデジタル信号に変換する第1のA/D変換装置と、同じく静止画又は動画を生成しアナログRGB信号を出力する第2の画像生成装置の出力信号をデジタル信号に変換する第2のA/D変換装置と、第1の入力端に上記第1のA/D変換装置の出力信号を入力し、第2の入力端に上記第2のA/D変換装置の出力信号を入力し、入力された画像データの解像度を比較し制御信号を出力する解像度調整回路と、第1の入力端に上記第1のA/D変換装置の出力信号を入力し、第2の入力端に上記解像度調整

回路の出力信号を入力し、画像データの画素拡大を行う第1の画素拡大処理部と、前記第1の画素拡大処理部から出力された画像データの記憶を行う第1のメモリと、第1の入力端に上記第2のA/D変換装置の出力信号を入力し、第2の入力端に上記解像度調整回路の出力信号を入力し、画像データの画素拡大を行う第2の画素拡大処理部と、前記第2の画素拡大処理部から出力された画像データの記憶を行う第2のメモリと、上記同期装置の出力信号を入力し、各々のメモリへの入出力制御信号を生成するメモリWRITE/READ制御装置と、各々のメモリより入力された画像データの輝度レベルから合成条件を判定し、画像信号の合成を行う合成判定装置と、上記同期装置の出力信号を入力し、同期信号及びブラंक期間のタイミングを制御するタイミング制御装置と、第1の入力端に上記合成判定装置の出力信号を入力し、第2の入力端に上記タイミング制御装置の出力信号を入力し、第2の入力信号に同期して合成判定装置より出力された画像データのD/A変換を行うD/A変換器とを有することを特徴とする画像合成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アナログRGB信号で出力される複数の画像データを入力し、これらをA/D変換によってデジタル信号とした後に合成し、その合成画像を出力する方式の画像合成装置に関するものである。

【0002】

【従来の技術】図7は一般的な画像合成システムの構成例を示しており、1及び2は画像生成装置、3は画像合成装置、4は画像表示装置である。1及び2の画像生成装置から出力される静止画もしくは連続した画像は、画像データの解像度が等しく、垂直走査周波数及び水平走査周波数がそれぞれ等しく、また水平同期信号と垂直同期信号がそれぞれ同期している。

【0003】図8により画像生成装置の内部を詳細に説明する。1は静止画もしくは連続した画像を生成し、アナログRGB信号として出力する第1の画像合成装置、2は上記第1の画像生成装置1の画像と等しい垂直周波数、水平周波数の静止画もしくは連続した画面を生成し、アナログRGB信号として出力する第2の画像生成装置、5は第1の画像合成装置1及び第2の画像合成装置2から出力される画像データについて、それぞれの垂直同期信号を同期させるための同期信号である。第1の画像生成装置1で生成された画像データは第1のA/D(Analog to Digital)変換装置6にてデジタル信号に変換され、同期装置5により生成された1画面毎のトリガ(以下フレームトリガと呼称する)周期で第1のメモリ9に出力される。第2の画像生成装置2で生成された画像データは第2のA/D変換装置7にてデジタル信号に変換され、フレームトリガ周期で

第2のメモリ10に出力される。メモリWRITE/READ制御装置8は、フレームトリガ周期で、第1のメモリ9と第2のメモリ10を交互に入力状態、出力状態に切り換えている。D/A(Digital to Analog)変換器12は第1のメモリ9もしくは第2のメモリ10から出力された画像データをアナログ画像信号に変換し、タイミング制御装置11から入力されたタイミングにより、画像データを出力する。タイミング制御装置11はフレームトリガ周期で同期信号及びブラंक信号のタイミングを発生し、D/A変換器12へ出力する。

【0004】

【発明が解決しようとする課題】従来の画像合成装置においては、入力画像信号の垂直同期信号の同期をとる必要があった。このため画像生成装置から出力される画像データが非同期の場合には対応出来ないという問題点があった。

【0005】また、画像生成装置から出力される画像データの垂直走査周波数、水平走査周波数がそれぞれ等しく、それぞれの画像データが同期している場合でも、解像度が異なる画像データは同一スケールで画像表示器に表示出来ないという問題点があった。

【0006】この発明は、このような課題を解決するためになされたものであり、入力される画像データに制約されず、容易に画像合成が出来ることを目的としている。

【0007】

【課題を解決するための手段】第1の発明による画像合成装置は、メモリへの入出力タイミング及びアドレスを制御することにより、垂直同期信号が非同期で入力され、かつ垂直走査周波数及び水平走査周波数が等しい静止画もしくは連続した画像などの画像データを合成するようにしたものである。

【0008】第2の発明による画像合成装置は、上記第1の発明における非同期画像合成装置において、メモリを付加することにより、垂直同期信号が非同期で入力され、かつ垂直走査周波数及び水平走査周波数が等しい静止画もしくは連続した画像などの画像データをリアルタイムに合成出力するようにしたものである。

【0009】第3の発明による画像合成装置は、画像データをサンプリングし、解像度を等しくすることにより、垂直同期信号が同期して入力され、かつ垂直走査周波数及び水平走査周波数が等しく、解像度が異なる静止画もしくは連続した画像などの画像データを同一スケールで画像表示装置に合成出力するようにしたものである。

【0010】第4の発明による画像合成装置は、画像データを画素拡大処理し、解像度を等しくすることにより、垂直同期信号が同期して入力され、かつ垂直走査周波数及び水平走査周波数が等しく、解像度が異なる静止

画もしくは連続した画像などの画像データを同一スケールで画像表示装置に合成出力するようにしたものである。

【0011】

【発明の実施の形態】

実施の形態1

図1はこの発明の実施の形態1の非同期画像合成装置の構成を示す図である。1は第1の画像合成装置、2は第2の画像合成装置、6は第1のA/D変換装置、7は第2のA/D変換装置、8はメモリWRITE/READ制御装置、9は第1のメモリ、10は第2のメモリ、11はタイミング制御装置、12はD/A変換装置、13は合成判定装置、14は第1のタイミング検出装置、15は第2のタイミング検出装置、16は第3のメモリである。

【0012】上記のように構成された画像合成装置の動作原理を、図1、図2を用いて説明する。水平走査周波数及び垂直走査周波数が等しい非同期の2系統の静止画もしくは連続した画像データが第1の画像生成装置1及び第2の画像生成装置2から出力されると、第1のA/D変換装置6はアナログRGB信号として入力された画像データをデジタル信号に変換する。第2のA/D変換装置7は第1のA/D変換装置6と同様にアナログRGB信号で入力された画像データをデジタル信号に変換する。第1のタイミング検出装置14は第1の画像生成装置1からシステムクロックを検出し、また画像データから垂直同期信号及び水平同期信号を検出し、フレームトリガ及び1ライン毎のトリガ（以下ラインゲートと呼称する）を生成する。第2のタイミング検出装置15は第2の画像生成装置2から出力された画像データから、第1のタイミング検出装置14と同様に、システムクロックを検出しフレームトリガ及びラインゲートを生成する。

【0013】メモリWRITE/READ制御装置8は、第1のタイミング検出装置14からのシステムクロックによりカウントアップし、フレームトリガによりリセットされるアドレスカウンタと、第2のタイミング検出装置15からのシステムクロックによりカウントアップし、フレームトリガによりリセットされるアドレスカウンタによって、アドレス制御及びメモリへの入出力タイミング制御を行う。第1のメモリ9は第1のA/D変換装置6によってデジタル信号に変換された画像データを、第1のタイミング検出装置14により生成されたアドレスに入力する。出力も上記第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。

【0014】第2のメモリ10は第2のA/D変換装置7によってデジタル信号に変換された画像データを、

第2のタイミング検出装置15により生成されたアドレスに入力する。出力は第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。第3のメモリ16は第2のA/D変換装置7によってデジタル信号に変換された画像データを、第2のタイミング検出装置15により生成されたアドレスに入力する。出力は第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。第2のメモリ10の状態と第3のメモリ16の状態は常に背反の状態となる。

【0015】合成判定装置13は第1のメモリ9と第2のメモリ10の合成判定を第1のタイミング検出装置14により生成されたフレームトリガ周期に行う。判定方法は第1のメモリ9から出力された画像データを事前に設定した輝度レベルと画素毎に比較し、第1のメモリ9の輝度レベルがそれ以上の場合は第1のメモリ9の画像データを、それ未満の場合は第2のメモリ10の画像データを各画素単位にD/A変換器12に出力する。D/A変換器12は合成判定装置13から出力された合成画像データをD/A変換し、タイミング制御装置11から入力されるタイミングにより画像データに同期信号とブランク信号を重ねて合成画像信号を出力する。

【0016】以上のことから、画像生成装置の一方に2つのメモリを持ち、画像生成装置毎にタイミング検出装置を持ち、合成判定装置を備えることで、非同期に入力される静止画もしくは動画の合成が可能となる。

【0017】実施の形態2

図3はこの発明の実施の形態2のメモリを付加した非同期画像合成装置の構成を示す図である。1は第1の画像合成装置、2は第2の画像合成装置、6は第1のA/D変換装置、7は第2のA/D変換装置、8はメモリWRITE/READ制御装置、9は第1のメモリ、10は第2のメモリ、11はタイミング制御装置、12はD/A変換装置、13は合成判定装置、14は第1のタイミング検出装置、15は第2のタイミング検出装置、16は第3のメモリ、17は第4のメモリである。

【0018】上記のように構成された画像合成装置の動作原理を、図3、図4を用いて説明する。水平走査周波数及び垂直走査周波数が等しい非同期の2系統の静止画もしくは連続した画像データが第1の画像生成装置1及び第2の画像生成装置2から出力されると、第1のA/D変換装置6はアナログRGB信号として入力された画像データをデジタル信号に変換する。第2のA/D変換装置7は第1のA/D変換装置6と同様にアナログRGB信号で入力された画像データをデジタル信号に変

換する。第1のタイミング検出装置14は第1の画像生成装置1からシステムクロックを検出し、また画像データから垂直同期信号及び水平同期信号を検出し、フレームトリガ及びラインゲートを生成する。第2のタイミング検出装置15は第2の画像生成装置2から出力された画像データから、第1のタイミング検出装置14と同様に、システムクロックを検出しフレームトリガ及びラインゲートを生成する。メモリWRITE/READ制御装置8は第1のタイミング検出装置14からのシステムクロックによりカウントアップし、フレームトリガによりリセットされるアドレスカウンタと、第2のタイミング検出装置15からのシステムクロックによりカウントアップし、フレームトリガによりリセットされるアドレスカウンタによって、アドレス制御及びメモリへの入出力タイミング制御を行う。

【0019】第1のメモリ9は第1のA/D変換装置6によってディジタル信号に変換された画像データを、第1のタイミング検出装置14により生成されたフレームトリガで制御されたアドレスに入力する。出力も上記第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。第4のメモリ17は第1のA/D変換装置6によってディジタル信号に変換された画像データを、第1のタイミング検出装置14により生成されたアドレスに入力する。

【0020】出力も上記第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。第1のメモリ9の状態と第4のメモリ17の状態は常に背反の状態となる。第2のメモリ10は第2のA/D変換装置7によってディジタル信号に変換された画像データを、第2のタイミング検出装置15により生成されたアドレスに入力する。出力は第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。第3のメモリ16は第2のA/D変換装置7によってディジタル信号に変換された画像データを、第2のタイミング検出装置15により生成されたアドレスに入力する。出力は第1のタイミング検出装置14により生成されたアドレスのデータが出力される。入出力はメモリWRITE/READ制御装置8により、第1のタイミング検出装置14により生成されたフレームトリガ毎に入力及び出力の切換を行う。第2のメモリ10の状態と第3のメモリ16の状態は常に背反の状態となる。合成判定装置13は第1のメモリ9

と第2のメモリ10の合成判定及び第4のメモリ17と第3のメモリ16の合成判定をフレームトリガ周期で交互に行う。

【0021】判定方法は第1のメモリ9または第4のメモリ17から出力された画像データを事前に設定した輝度レベルと画素毎に比較し、第1のメモリ9又は第4のメモリ17の輝度レベルがそれ以上の場合は第1のメモリ9又は第4のメモリ17の画像データを、それ未満の場合は第2のメモリ10又は第3のメモリ16の画像データを各画素単位にD/A変換器12に出力する。D/A変換器12は合成判定装置13から出力された合成画像データをD/A変換し、タイミング制御装置11から入力されるタイミングにより画像データに同期信号とブランク信号を重ねて合成画像信号を出力する。

【0022】以上のことから、画像生成装置毎に2つのメモリ及びタイミング検出装置を持ち、合成判定装置を備えることで、非同期に入力される静止画もしくは動画の合成がリアルタイムで可能となる。

【0023】実施の形態3

図5はこの発明の実施の形態3のデータサンプリング器を付加した同期画像合成装置の構成を示す図である。

1、2及び5～12は従来の装置で示したものと同様である。18は解像度調整回路、19は第1のデータサンプリング器、20は第2のデータサンプリング器である。

【0024】上記のように構成された画像合成装置の作動原理を、図5を用いて説明する。同期装置5から出力される同期信号を入力することにより、水平走査周波数及び垂直走査周波数が等しく、垂直同期信号が同期した静止画もしくは連続した画像データが第1の画像生成装置1及び第2の画像生成装置2から出力されると、第1のA/D変換装置6はアナログRGB信号として入力された画像データをディジタル信号に変換する。第2のA/D変換装置7は第1のA/D変換装置6と同様にアナログRGB信号で入力された画像データをディジタル信号に変換する。解像度調整回路18は第1のA/D変換装置6及び第2のA/D変換装置7から入力された画像データの解像度を比較し、解像度の大きい画像データを解像度の小さい画像データの解像度に一致させるための制御信号を、第1のデータサンプリング器19及び第2のデータサンプリング器20に出力する。

【0025】第1のデータサンプリング器19は第1のA/D変換装置6から入力した画像データを、解像度調整回路18により生成された制御信号に従い、ディジタル画像信号のサンプリングを行う。第2のデータサンプリング器20も第1のデータサンプリング器19と同様に第2のA/D変換装置7から入力した画像データを、解像度調整回路18により生成された制御信号に従い、ディジタル画像信号のサンプリングを行う。メモリWRITE/READ制御装置8は同期装置5で生成された

フレームトリガ周期で、第1のメモリ9と第2のメモリ10を交互に入力状態及び出力状態に切り換える。第1のメモリ9は第1のデータサンプリング器19でサンプリングされた画像データをメモリWRITE/READ制御装置8の制御信号に従い入出力する。第2のメモリ10は第2のデータサンプリング器20でサンプリングされた画像データをメモリWRITE/READ制御装置8の制御信号に従い第1のメモリ9と背反の状態の入出力する。D/A変換器12は第1のメモリ9もしくは第2のメモリ10から出力された画像データをD/A変換し、タイミング制御装置11から入力されるタイミングにより画像データに同期信号とブラंक信号を重ねて出力する。

【0026】以上のことから、解像度調整回路を持ち、画像生成装置毎にデータサンプリング器を備えることで、解像度が異なる画像データを同一スケールで画像表示装置に合成出力することが可能となる。

【0027】実施の形態4

図6はこの発明の実施の形態4の画素拡大処理器を付加した同期画像合成装置の構成を示す図である。1、2及び5～12は従来の装置で示したものと同様である。18は解像度調整回路、21は第1の画素拡大処理器、22は第2の画素拡大処理器である。

【0028】上記のように構成された画像合成装置の作動原理を、図6を用いて説明する。同期装置5から出力される同期信号を入力することにより、水平走査周波数及び垂直走査周波数が等しく、垂直同期信号が同期した静止画もしくは連続した画像データが第1の画像生成装置1及び第2の画像生成装置2から出力されると、第1のA/D変換装置6はアナログRGB信号として入力された画像データをディジタル信号に変換する。第2のA/D変換装置7は第1のA/D変換装置6と同様にアナログRGB信号で入力された画像データをディジタル信号に変換する。解像度調整回路18は第1のA/D変換装置6及び第2のA/D変換装置7から入力された画像データの解像度を比較し、解像度の小さい画像データを解像度の大きい画像データの解像度に一致させるための制御信号を、第1の画素拡大処理器21及び第2の画素拡大処理器22に出力する。第1の画素拡大処理器21は第1のA/D変換装置6から入力した画像データを、解像度調整回路18により生成された制御信号に従い、ディジタル画像信号の画素拡大処理を行う。第2の画素拡大処理器22も第1の画素拡大処理器21と同様に第2のA/D変換装置7から入力した画像データを、解像度調整回路18により生成された制御信号に従い、ディジタル画像信号の画素拡大処理を行う。

【0029】メモリWRITE/READ制御装置8は同期装置5で生成されたフレームトリガ周期で、第1のメモリ9と第2のメモリ10を交互に入力状態及び出力状態に切り換える。第1のメモリ9は第1の画素拡大処

理器21で画素拡大処理された画像データをメモリWRITE/READ制御装置8の制御信号に従い入出力する。第2のメモリ10は第2の画素拡大処理器22で画素拡大処理された画像データをメモリWRITE/READ制御装置8の制御信号に従い第1のメモリ9と背反の状態の入出力する。D/A変換器12は第1のメモリ9もしくは第2のメモリ10から出力された画像データをD/A変換し、タイミング制御装置11から入力されるタイミングにより画像データに同期信号とブラंक信号を重ねて出力する。

【0030】以上のことから、解像度調整回路を持ち、画像生成装置毎に画素拡大処理器を備えることで、解像度が異なる画像データを同一スケールで画像表示装置に合成出力することが可能となる。

【0031】

【発明の効果】第1の発明によれば、画像合成装置において、垂直同期信号が非同期で、垂直走査周波数及び水平走査周波数が等しい画像信号が入力された場合においても、静止画もしくは動画の画像合成が可能となる。

【0032】また、第2の発明によれば、画像合成装置において、垂直同期信号が非同期で、垂直走査周波数及び水平走査周波数が等しい画像信号が入力された場合においても、静止画もしくは動画の画像合成がリアルタイムで可能となる。

【0033】また、第3の発明によれば、画像合成装置において、垂直同期信号が同期した、垂直走査周波数及び水平走査周波数が等しく、解像度が異なる画像信号が入力された場合においても、同一スケールで画像表示装置に静止画もしくは動画の画像合成が可能となる。

【0034】また、第4の発明によれば、画像合成装置において、垂直同期信号が同期した、垂直走査周波数及び水平走査周波数が等しく、解像度が異なる画像信号が入力された場合においても、同一スケールで画像表示装置に静止画もしくは動画の画像合成が可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の非同期画像合成装置の構成を示すブロック図である。

【図2】 この発明の実施の形態1の非同期画像合成装置の作動原理を捕捉するタイミングチャートである。

【図3】 この発明の実施の形態2の非同期画像合成装置の構成を示すブロック図である。

【図4】 この発明の実施の形態2の非同期画像合成装置の作動原理を捕捉するタイミングチャートである。

【図5】 この発明の実施の形態3の同期画像合成装置の構成を示すブロック図である。

【図6】 この発明の実施の形態4の同期画像合成装置の構成を示すブロック図である。

【図7】 一般的な画像合成装置の構成の概念を示す図である。

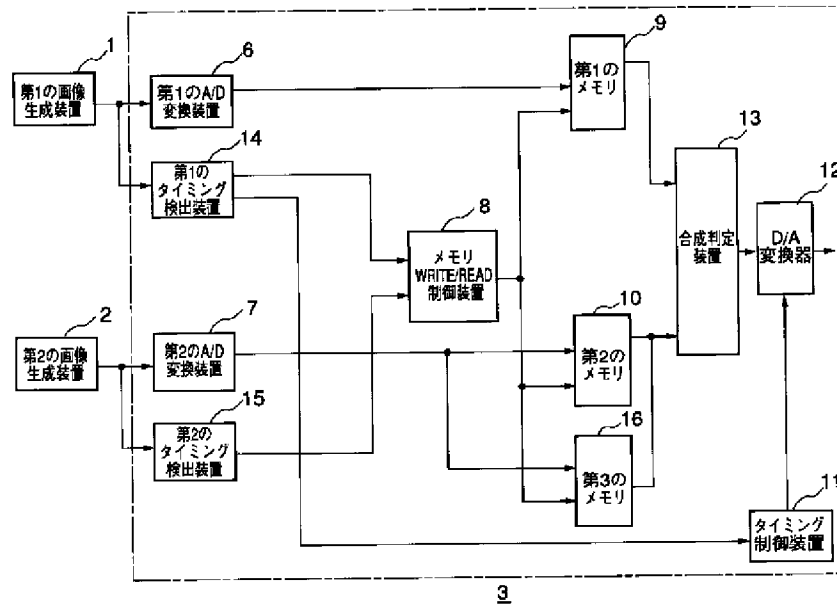
【図8】 従来の画像合成装置の構成を示すブロック図

である。

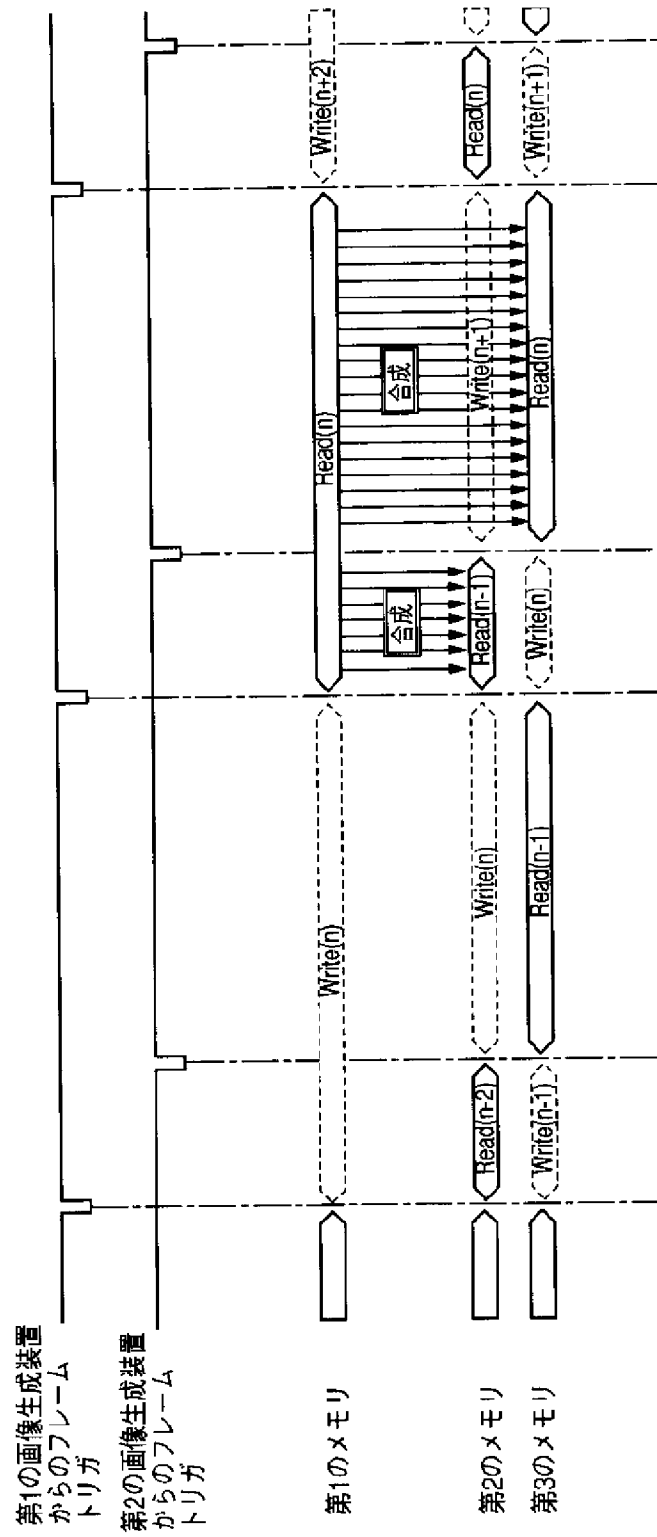
【符号の説明】

- | | | | |
|----|-------------------|----|---------------|
| 1 | 第1の画像生成装置 | 11 | タイミング制御装置 |
| 2 | 第2の画像生成装置 | 12 | D/A変換器 |
| 3 | 画像合成装置 | 13 | 合成判定装置 |
| 4 | 画像表示装置 | 14 | 第1のタイミング検出装置 |
| 5 | 同期装置 | 15 | 第2のタイミング検出装置 |
| 6 | 第1のA/D変換装置 | 16 | 第3のメモリ |
| 7 | 第2のA/D変換装置 | 17 | 第4のメモリ |
| 8 | メモリWRITE/READ制御装置 | 18 | 解像度調整回路 |
| 9 | 第1のメモリ | 19 | 第1のデータサンプリング器 |
| 10 | 第2のメモリ | 20 | 第2のデータサンプリング器 |
| | | 21 | 第1の画素拡大処理器 |
| | | 22 | 第2の画素拡大処理器 |

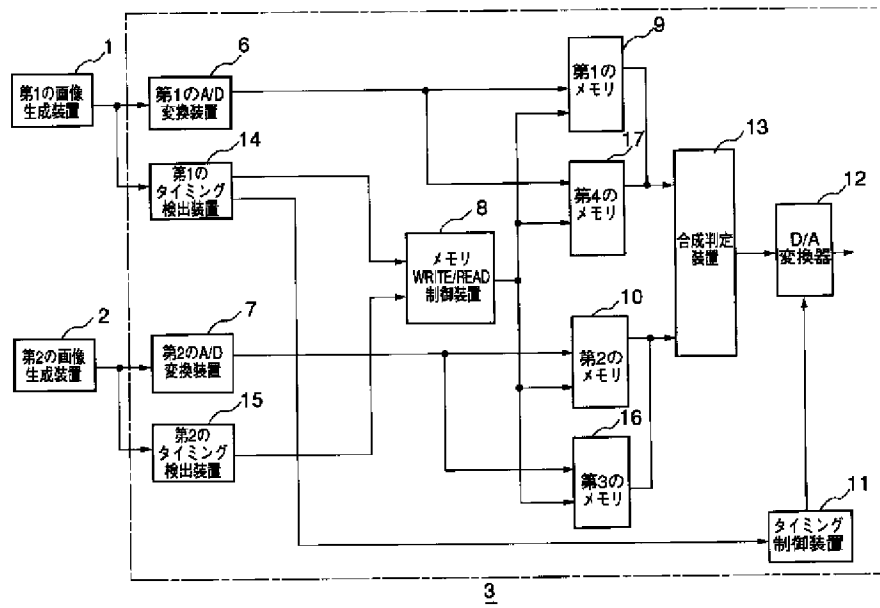
【図1】



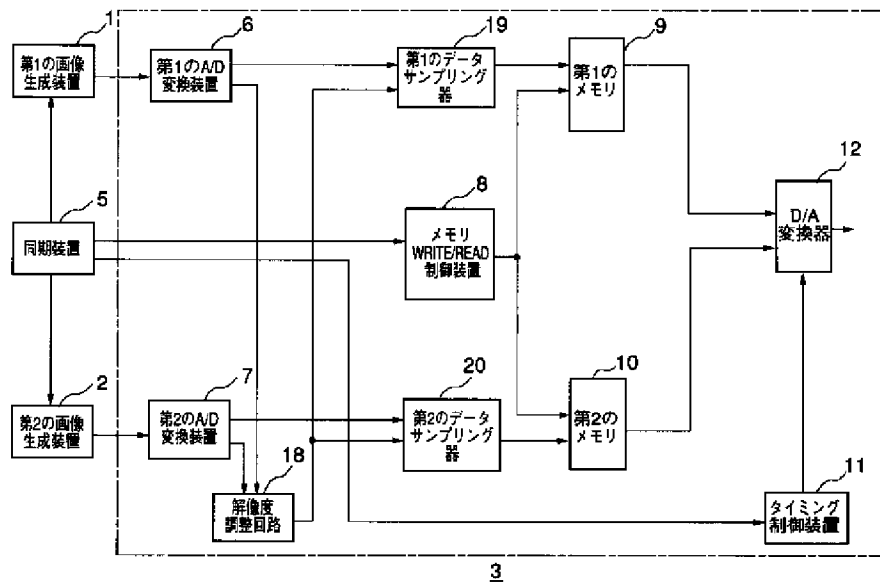
【図2】



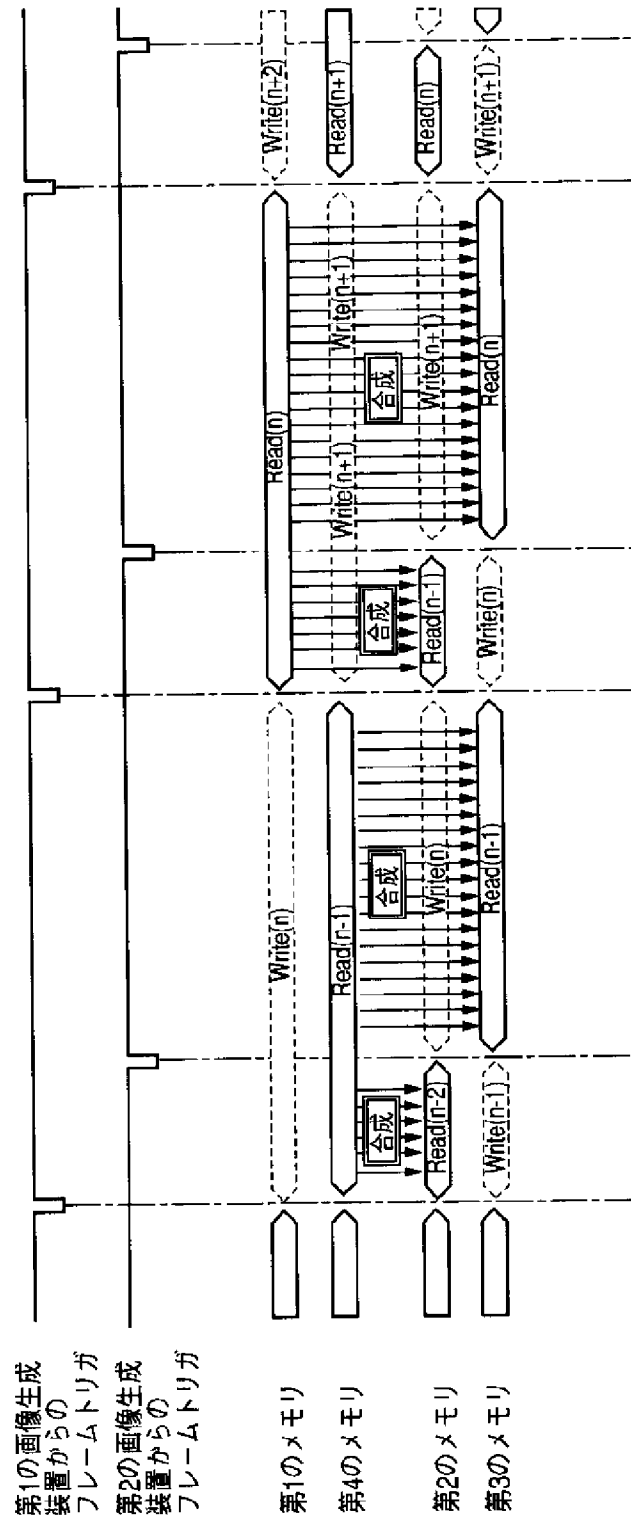
【図3】



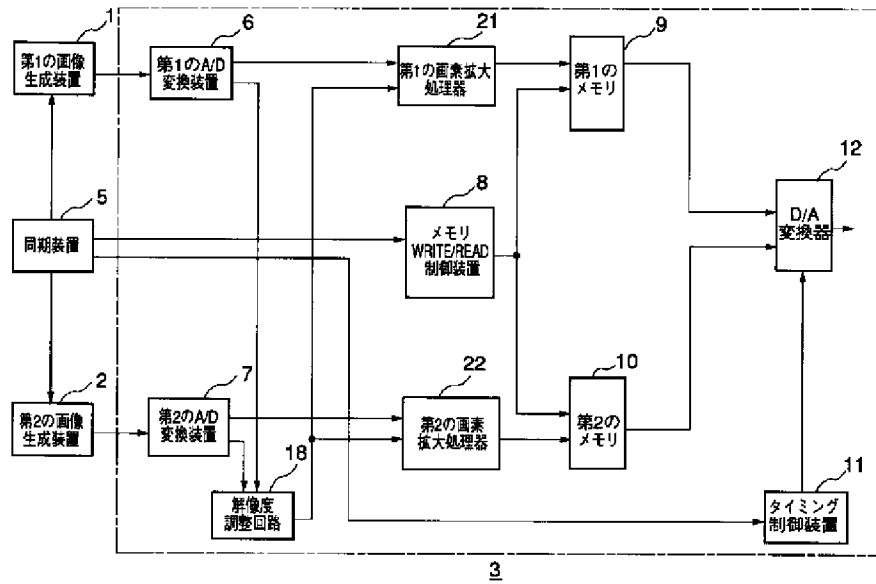
【図5】



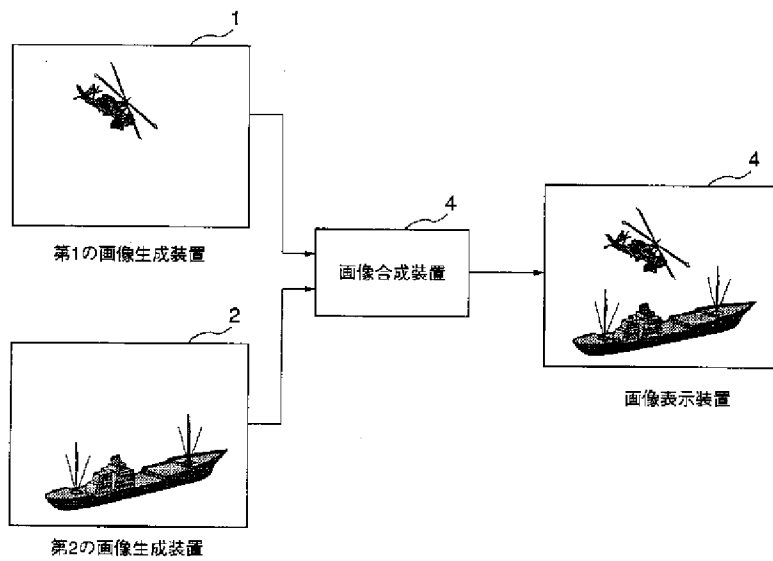
【図4】



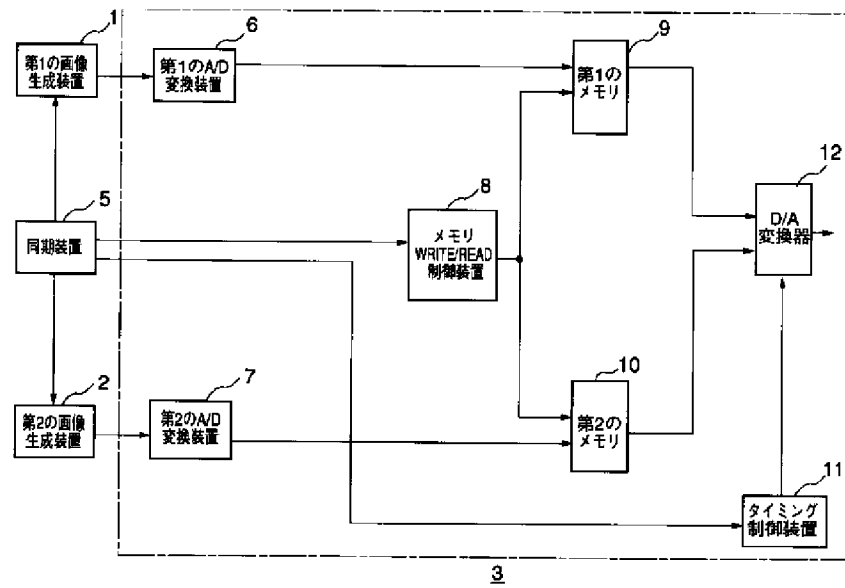
【図6】



【図7】



【図8】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-290395

(43)Date of publication of application : 27.10.1998

(51)Int.Cl. H04N 5/265

G06T 1/00

H04N 9/74

(21)Application number : 09-095867 (71)Applicant : MITSUBISHI ELECTRIC
CORP

(22)Date of filing : 14.04.1997 (72)Inventor : OKAZAKI TOSHIHIRO

(54) IMAGE SYNTHESIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To easily synthesize images without being limited by inputted image data by controlling an input/output timing to a memory and an address, judging synthesis conditions from the luminance level of the image data inputted from the respective memories and synthesizing image signals.

SOLUTION: A synthesis judgement device 13 judges the synthesis of a first memory 9 and a second memory 10 by a frame trigger cycle generated by a first timing detector 14. In a judgement method, the image data outputted from the first memory 9 are compared with the luminance level set beforehand for each picture element, the image data of the first memory 9 are outputted to a D/A converter 12 by each picture element unit in the case that the image data of the first memory 9 are higher than that and the image data of the second memory 10 are outputted in the case that they are less than that. The D/A converter 12 D/A converts synthetic image data outputted from the synthesis judgement device 13 and synthetic image signals are outputted by the timing inputted from a timing

controller 11.

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]An image compositing device comprising:

The 1st A/D conversion device that changes into a digital signal an output signal of the 1st image generating device that generates a still picture or an animation and outputs an analog RGB signal.

The 1st memory that memorizes image data digitized in said 1st A/D conversion device.

The 1st timing sensing device that inputs an output signal of the 1st image generating device of the above, and detects a synchronized signal of an input signal.

The 2nd A/D conversion device that changes into a digital signal an output signal of the 2nd image generating device that generates a still picture or an animation and outputs an analog RGB signal, The 3rd memory and 4th memory of double buffer structure that can memorize by turns image data digitized in said 2nd A/D conversion device for every screen, The 2nd timing sensing device that inputs an output signal of the 2nd image generating device of the above, and detects a synchronized signal of an input signal, A memory WRITE/READ control device which inputs an output signal of a timing sensing device of the above 1st into the 1st input edge, inputs an output signal of a timing sensing device of the above 2nd into the 2nd input edge, and generates an input/output control signal to each memory, A synthetic determining device which judges a synthetic condition from a luminance level of image data inputted from each memory, and compounds a picture signal, A timing controller which inputs an output signal of a timing generating device of the above 1st, and controls timing of a synchronized signal and a blank period, A D/A converter which performs D/A conversion of image data which inputted an output signal of the above-mentioned synthetic determining device into the 1st input edge, inputted an output signal of the

above-mentioned timing controller into the 2nd input edge, and was outputted from a synthetic determining device synchronizing with the 2nd input signal.

[Claim 2]An image compositing device comprising:

The 1st A/D conversion device that changes into a digital signal an output signal of the 1st image generating device that generates a still picture or an animation and outputs an analog RGB signal.

The 1st memory and 2nd memory of double buffer structure that can memorize by turns image data digitized in said 1st A/D conversion device for every screen.

The 1st timing sensing device that inputs an output signal of the 1st image generating device of the above, and detects a synchronized signal of an input signal.

The 2nd A/D conversion device that changes into a digital signal an output signal of the 2nd image generating device that generates a still picture or an animation and outputs an analog RGB signal, The 3rd memory and 4th memory of double buffer structure that can memorize by turns image data digitized in said 2nd A/D conversion device for every screen, The 2nd timing sensing device that inputs an output signal of the 2nd image generating device of the above, and detects a synchronized signal of an input signal, A memory WRITE/READ control device which inputs an output signal of a timing sensing device of the above 1st into the

1st input edge, inputs an output signal of a timing sensing device of the above 2nd into the 2nd input edge, and generates an input/output control signal to each memory, A synthetic determining device which judges a synthetic condition from a luminance level of image data inputted from each memory, and compounds a picture signal, A timing controller which inputs an output signal of a timing generating device of the above 1st, and controls timing of a synchronized signal and a blank period, A D/A converter which performs D/A conversion of image data which inputted an output signal of the above-mentioned synthetic determining device into the 1st input edge, inputted an output signal of the above-mentioned timing controller into the 2nd input edge, and was outputted from a synthetic determining device synchronizing with the 2nd input signal.

[Claim 3]An image compositing device comprising:

The 1st A/D conversion device that changes into a digital signal an output signal of the 1st image generating device that generates a still picture or an animation and outputs an analog RGB signal.

The 2nd A/D conversion device that changes into a digital signal an output signal of the 2nd image generating device that similarly generates a still picture or an animation and outputs an analog RGB signal.

A resolution equalization circuit which measures resolution of image data which

inputted an output signal of an A/D conversion device of the above 1st into the 1st input edge, inputted an output signal of an A/D conversion device of the above 2nd into the 2nd input edge, and was inputted into it, and outputs a control signal.

The 1st data sampling machine that inputs an output signal of an A/D conversion device of the above 1st into the 1st input edge, inputs an output signal of the above-mentioned resolution equalization circuit into the 2nd input edge, and operates image data on a curtailed schedule, The 1st memory that memorizes image data outputted from said 1st data sampling machine, The 2nd data sampling machine that inputs an output signal of an A/D conversion device of the above 2nd into the 1st input edge, inputs an output signal of the above-mentioned resolution equalization circuit into the 2nd input edge, and operates image data on a curtailed schedule, The 2nd memory that memorizes image data outputted from said 2nd data sampling machine, A memory WRITE/READ control device which inputs an output signal of the above-mentioned synchronous system, and generates an input/output control signal to each memory, A synthetic determining device which judges a synthetic condition from a luminance level of image data inputted from each memory, and compounds a picture signal, Input an output signal of the above-mentioned synchronous system, input an output signal of the above-mentioned synthetic

determining device into the 1st input edge as a timing controller which controls timing of a synchronized signal and a blank period, and an output signal of the above-mentioned timing controller is inputted into the 2nd input edge, A D/A converter which performs D/A conversion of image data outputted from a synthetic determining device synchronizing with the 2nd input signal.

[Claim 4]An image compositing device comprising:

The 1st A/D conversion device that changes into a digital signal an output signal of the 1st image generating device that generates a still picture or an animation and outputs an analog RGB signal.

The 2nd A/D conversion device that changes into a digital signal an output signal of the 2nd image generating device that similarly generates a still picture or an animation and outputs an analog RGB signal.

A resolution equalization circuit which measures resolution of image data which inputted an output signal of an A/D conversion device of the above 1st into the 1st input edge, inputted an output signal of an A/D conversion device of the above 2nd into the 2nd input edge, and was inputted into it, and outputs a control signal.

The 1st pixel magnification processing section that inputs an output signal of an A/D conversion device of the above 1st into the 1st input edge, inputs an output

signal of the above-mentioned resolution equalization circuit into the 2nd input edge, and performs pixel expansion of image data, The 1st memory that memorizes image data outputted from said 1st pixel magnification processing section, The 2nd pixel magnification processing section that inputs an output signal of an A/D conversion device of the above 2nd into the 1st input edge, inputs an output signal of the above-mentioned resolution equalization circuit into the 2nd input edge, and performs pixel expansion of image data, The 2nd memory that memorizes image data outputted from said 2nd pixel magnification processing section, A memory WRITE/READ control device which inputs an output signal of the above-mentioned synchronous system, and generates an input/output control signal to each memory, A synthetic determining device which judges a synthetic condition from a luminance level of image data inputted from each memory, and compounds a picture signal, A timing controller which inputs an output signal of the above-mentioned synchronous system, and controls timing of a synchronized signal and a blank period, A D/A converter which performs D/A conversion of image data which inputted an output signal of the above-mentioned synthetic determining device into the 1st input edge, inputted an output signal of the above-mentioned timing controller into the 2nd input edge, and was outputted from a synthetic determining device synchronizing with the 2nd input signal.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention inputs two or more image data outputted by an analog RGB signal, after it makes these a digital signal by an A/D conversion, it compounds it, and it relates to the image compositing device of the method which outputs that image compositing.

[0002]

[Description of the Prior Art] Drawing 7 shows the example of composition of the common image composition system, and, as for 1 and 2, an image compositing device and 4 are image display devices an image generating device and 3. The still picture outputted from the image generating device of 1 and 2 or the continuous picture has the equal resolution of image data, and vertical scan frequency and horizontal scan frequency are equal respectively, and the Horizontal Synchronizing signal and the Vertical Synchronizing signal synchronize, respectively.

[0003] Drawing 8 explains the inside of an image generating device in detail. The

1st image compositing device that 1 generates a still picture or the continuous picture, and is outputted as an analog RGB signal, 2 generates the still picture or the continuous screen of vertical frequencies equal to the picture of the 1st image generating device 1 of the above, and horizontal frequency, The 2nd image generating device outputted as an analog RGB signal and 5 are the synchronized signals for synchronizing each Vertical Synchronizing signal about the image data outputted from the 1st image compositing device 1 and 2nd image compositing device 2. The image data generated with the 1st image generating device 1 is changed into a digital signal with the 1st A/D (Analog to Digital) inverter 6, and is outputted to the 1st memory 9 the trigger (frame trigger is called below) cycle for every screen generated by the synchronous system 5. The image data generated with the 2nd image generating device 2 is changed into a digital signal with the 2nd A/D conversion device 7, and is outputted to the 2nd memory 10 a frame trigger cycle. The memory WRITE/READ control device 8 is a frame trigger cycle, and has switched the 1st memory 9 and 2nd memory 10 to the input state and the output state by turns. The D/A (Digital to Analog) converter 12 changes into an analog picture signal the image data outputted from the 1st memory 9 or 2nd memory 10, and outputs image data by the timing inputted from the timing controller 11. The timing controller 11 generates the timing of a synchronized signal and a blank signal a frame trigger cycle, and

outputs it to D/A converter 12.

[0004]

[Problem(s) to be Solved by the Invention]In the conventional image compositing device, the synchronization of the Vertical Synchronizing signal of an input picture signal needed to be taken. For this reason, when the image data outputted from an image generating device was asynchronous, there was a problem that it could not respond.

[0005]The vertical scan frequency of the image data outputted from an image generating device and horizontal scan frequency were equal respectively, and even when each image data synchronized, the image data from which resolution differs had the problem that it could not express to an image display unit as the same scale.

[0006]This invention is made in order to solve such a technical problem, and it is not restrained by the image data inputted, but an object of an invention is to be able to perform picture composition easily.

[0007]

[Means for Solving the Problem]By controlling input-and-output timing and an address to a memory, an image compositing device by the 1st invention has an asynchronous Vertical Synchronizing signal, and it is inputted and it compounds image data, such as a still picture with equal vertical scan frequency and

horizontal scan frequency, or a continuous picture.

[0008]In an asynchronous image compositing device [in / in an image compositing device by the 2nd invention / the 1st above-mentioned invention], It is asynchronous, and it is inputted and a Vertical Synchronizing signal is made to carry out the synthetic output of the image data, such as a still picture with equal vertical scan frequency and horizontal scan frequency, or a continuous picture, to real time by adding a memory.

[0009]By an image compositing device by the 3rd invention sampling image data, and making resolution equal, A Vertical Synchronizing signal synchronizes, and is inputted, and vertical scan frequency and horizontal scan frequency are equal, and it is made to carry out the synthetic output of the image data, such as a still picture in which resolution differs, or a continuous picture, to an image display device on the same scale.

[0010]By an image compositing device by the 4th invention carrying out pixel expanding processing of the image data, and making resolution equal, A Vertical Synchronizing signal synchronizes, and is inputted, and vertical scan frequency and horizontal scan frequency are equal, and it is made to carry out the synthetic output of the image data, such as a still picture in which resolution differs, or a continuous picture, to an image display device on the same scale.

[0011]

[Embodiment of the Invention]

Embodiment 1 drawing 1 is a figure showing the composition of the asynchronous image compositing device of this embodiment of the invention 1.

1 the 1st image compositing device and 2 the 2nd image compositing device and 6 The 1st A/D conversion device, The 2nd A/D conversion device and 8 7 A memory WRITE/READ control device, 9 -- the 1st memory and 10 -- as for a synthetic determining device and 14, a timing controller and 12 are [the 2nd timing sensing device and 16] the 3rd memory the 1st timing sensing device and 15 a D/A conversion device and 13 the 2nd memory and 11.

[0012]The working principle of the image compositing device constituted as mentioned above is explained using drawing 1 and drawing 2. If the still picture which is two asynchronous lines with equal horizontal scan frequency and vertical scan frequency, or the continuous image data is outputted from the 1st image generating device 1 and 2nd image generating device 2, the 1st A/D conversion device 6 will change into a digital signal the image data inputted as an analog RGB signal. The 2nd A/D conversion device 7 changes into a digital signal the image data inputted by the analog RGB signal like the 1st A/D conversion device 6. The 1st timing sensing device 14 detects a system clock from the 1st image generating device 1, and detects a Vertical Synchronizing signal and a Horizontal Synchronizing signal from image data, and generates a

frame trigger and the trigger (a line gate is called below) in every line. From the image data outputted from the 2nd image generating device 2, like the 1st timing sensing device 14, the 2nd timing sensing device 15 detects a system clock, and generates a frame trigger and a line gate.

[0013]The address counter which counts up the memory WRITE/READ control device 8 with the system clock from the 1st timing sensing device 14, and is reset by the frame trigger, It counts up with the system clock from the 2nd timing sensing device 15, and the address counter reset by the frame trigger performs address control and input-and-output timing control to a memory. The 1st memory 9 inputs the image data changed into the digital signal by the 1st A/D conversion device 6 into the address generated by the 1st timing sensing device 14. The data of the address where the output was also generated by the timing sensing device 14 of the above 1st is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output for every frame trigger generated by the 1st timing sensing device 14.

[0014]The 2nd memory 10 inputs the image data changed into the digital signal by the 2nd A/D conversion device 7 into the address generated by the 2nd timing sensing device 15. The data of the address where the output was generated by the 1st timing sensing device 14 is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output

for every frame trigger generated by the 1st timing sensing device 14. The 3rd memory 16 inputs the image data changed into the digital signal by the 2nd A/D conversion device 7 into the address generated by the 2nd timing sensing device 15. The data of the address where the output was generated by the 1st timing sensing device 14 is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output for every frame trigger generated by the 1st timing sensing device 14. The state of the 2nd memory 10 and the state of the 3rd memory 16 will always be in the state of rebellion.

[0015]The synthetic determining device 13 performs the synthetic judgment of the 1st memory 9 and the 2nd memory 10 to the frame trigger cycle generated by the 1st timing sensing device 14. The judgment method compares the image data outputted from the 1st memory 9 with the luminance level set up a priori for every pixel, When the luminance level of the 1st memory 9 is more than it, in the case of below it, the image data of the 2nd memory 10 is outputted for the image data of the 1st memory 9 to each pixel unit at D/A converter 12. D/A converter 12 carries out D/A conversion of the composite image data outputted from the synthetic determining device 13, and outputs an image composing signal for a synchronized signal and a blank signal to image data in piles by the timing inputted from the timing controller 11.

[0016]It has two memories in one side of an image generating device, has a timing sensing device for every image generating device, and becomes compoundable [the still picture or animation inputted asynchronously] from the above thing by having a synthetic determining device.

[0017]Embodiment 2 drawing 3 is a figure showing the composition of the asynchronous image compositing device which added the memory of this embodiment of the invention 2. 1 the 1st image compositing device and 2 the 2nd image compositing device and 6 The 1st A/D conversion device, The 2nd A/D conversion device and 8 7 A memory WRITE/READ control device, 9 -- the 1st memory and 10 -- the 2nd memory and 11 -- as for the 1st timing sensing device and 15, a D/A conversion device and 13 are [the 3rd memory and 17] the 4th memory the 2nd timing sensing device and 16 a synthetic determining device and 14 a timing controller and 12.

[0018]The working principle of the image compositing device constituted as mentioned above is explained using drawing 3 and drawing 4. If the still picture which is two asynchronous lines with equal horizontal scan frequency and vertical scan frequency, or the continuous image data is outputted from the 1st image generating device 1 and 2nd image generating device 2, the 1st A/D conversion device 6 will change into a digital signal the image data inputted as an analog RGB signal. The 2nd A/D conversion device 7 changes into a digital

signal the image data inputted by the analog RGB signal like the 1st A/D conversion device 6. The 1st timing sensing device 14 detects a system clock from the 1st image generating device 1, and detects a Vertical Synchronizing signal and a Horizontal Synchronizing signal from image data, and generates a frame trigger and a line gate. From the image data outputted from the 2nd image generating device 2, like the 1st timing sensing device 14, the 2nd timing sensing device 15 detects a system clock, and generates a frame trigger and a line gate. The address counter which counts up the memory WRITE/READ control device 8 with the system clock from the 1st timing sensing device 14, and is reset by the frame trigger, It counts up with the system clock from the 2nd timing sensing device 15, and the address counter reset by the frame trigger performs address control and input-and-output timing control to a memory.

[0019]The 1st memory 9 inputs the image data changed into the digital signal by the 1st A/D conversion device 6 into the address controlled by the frame trigger generated by the 1st timing sensing device 14. The data of the address where the output was also generated by the timing sensing device 14 of the above 1st is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output for every frame trigger generated by the 1st timing sensing device 14. The 4th memory 17 inputs the image data changed into the digital signal by the 1st A/D conversion device 6 into the

address generated by the 1st timing sensing device 14.

[0020]The data of the address where the output was also generated by the timing sensing device 14 of the above 1st is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output for every frame trigger generated by the 1st timing sensing device 14. The state of the 1st memory 9 and the state of the 4th memory 17 will always be in the state of rebellion. The 2nd memory 10 inputs the image data changed into the digital signal by the 2nd A/D conversion device 7 into the address generated by the 2nd timing sensing device 15. The data of the address where the output was generated by the 1st timing sensing device 14 is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output for every frame trigger generated by the 1st timing sensing device 14. The 3rd memory 16 inputs the image data changed into the digital signal by the 2nd A/D conversion device 7 into the address generated by the 2nd timing sensing device 15. The data of the address where the output was generated by the 1st timing sensing device 14 is outputted. With the memory WRITE/READ control device 8, input and output perform the change of an input and an output for every frame trigger generated by the 1st timing sensing device 14. The state of the 2nd memory 10 and the state of the 3rd memory 16 will always be in the state of rebellion. The synthetic determining

device 13 performs the synthetic judgment of the 1st memory 9 and the 2nd memory 10, and the synthetic judgment of the 4th memory 17 and the 3rd memory 16 by turns a frame trigger cycle.

[0021]The judgment method compares the image data outputted from the 1st memory 9 or 4th memory 17 with the luminance level set up a priori for every pixel, When the luminance level of the 1st memory 9 or the 4th memory 17 is more than it, in the case of below it, the image data of the 2nd memory 10 or the 3rd memory 16 is outputted for the image data of the 1st memory 9 or the 4th memory 17 to each pixel unit at D/A converter 12. D/A converter 12 carries out D/A conversion of the composite image data outputted from the synthetic determining device 13, and outputs an image composing signal for a synchronized signal and a blank signal to image data in piles by the timing inputted from the timing controller 11.

[0022]It has two memories and timing sensing devices for every image generating device, and composition of the still picture or animation inputted asynchronously becomes possible from the above thing in real time by having a synthetic determining device.

[0023]Embodiment 3 drawing 5 is a figure showing the composition of the gated image synthesizer unit which added the data sampling machine of this embodiment of the invention 3. 1, 2, and 5-12 are the same as that of what was

shown with the conventional device. As for 18, the 1st data sampling machine and 20 are the 2nd data sampling machine a resolution equalization circuit and 19.

[0024]The working principle of the image compositing device constituted as mentioned above is explained using drawing 5. By inputting the synchronized signal outputted from the synchronous system 5, horizontal scan frequency and vertical scan frequency are equal, If the still picture in which the Vertical Synchronizing signal synchronized, or the continuous image data is outputted from the 1st image generating device 1 and 2nd image generating device 2, the 1st A/D conversion device 6 will change into a digital signal the image data inputted as an analog RGB signal. The 2nd A/D conversion device 7 changes into a digital signal the image data inputted by the analog RGB signal like the 1st A/D conversion device 6. The resolution equalization circuit 18 measures the resolution of the image data inputted from the 1st A/D conversion device 6 and the 2nd A/D conversion device 7, The control signal for coinciding image data with large resolution with the resolution of image data with small resolution is outputted to the 1st data sampling machine 19 and the 2nd data sampling machine 20.

[0025]The 1st data sampling machine 19 samples a digital image signal according to the control signal generated by the resolution equalization circuit 18

in the image data inputted from the 1st A/D conversion device 6. The 2nd data sampling machine 20 also samples a digital image signal according to the control signal generated by the resolution equalization circuit 18 in the image data inputted from the 2nd A/D conversion device 7 as well as the 1st data sampling machine 19. The memory WRITE/READ control device 8 is the frame trigger cycle generated with the synchronous system 5, and switches the 1st memory 9 and 2nd memory 10 to an input state and an output state by turns. The 1st memory 9 outputs and inputs the image data sampled with the 1st data sampling machine 19 according to the control signal of the memory WRITE/READ control device 8. The 2nd memory 10 outputs and inputs the image data sampled with the 2nd data sampling machine 20 in the state of the 1st memory 9 and rebellion according to the control signal of the memory WRITE/READ control device 8. D/A converter 12 carries out D/A conversion of the image data outputted from the 1st memory 9 or 2nd memory 10, and outputs a synchronized signal and a blank signal to image data in piles by the timing inputted from the timing controller 11.

[0026]It has a resolution equalization circuit and it becomes possible from the above thing to carry out the synthetic output of the image data from which resolution differs to an image display device on the same scale by having a data sampling machine for every image generating device.

[0027]Embodiment 4 drawing 6 is a figure showing the composition of the gated image synthesizer unit which added the pixel expanding processing machine of this embodiment of the invention 4. 1, 2, and 5-12 are the same as that of what was shown with the conventional device. As for 18, the 1st pixel expanding processing machine and 22 are the 2nd pixel expanding processing machine a resolution equalization circuit and 21.

[0028]The working principle of the image compositing device constituted as mentioned above is explained using drawing 6. By inputting the synchronized signal outputted from the synchronous system 5, horizontal scan frequency and vertical scan frequency are equal, If the still picture in which the Vertical Synchronizing signal synchronized, or the continuous image data is outputted from the 1st image generating device 1 and 2nd image generating device 2, the 1st A/D conversion device 6 will change into a digital signal the image data inputted as an analog RGB signal. The 2nd A/D conversion device 7 changes into a digital signal the image data inputted by the analog RGB signal like the 1st A/D conversion device 6. The resolution equalization circuit 18 measures the resolution of the image data inputted from the 1st A/D conversion device 6 and the 2nd A/D conversion device 7, The control signal for coinciding image data with small resolution with the resolution of image data with large resolution is outputted to the 1st pixel expanding processing machine 21 and the 2nd pixel

expanding processing machine 22. The 1st pixel expanding processing machine 21 performs pixel expanding processing of a digital image signal according to the control signal generated by the resolution equalization circuit 18 in the image data inputted from the 1st A/D conversion device 6. According to the control signal generated by the resolution equalization circuit 18 in the image data which also inputted the 2nd pixel expanding processing machine 22 from the 2nd A/D conversion device 7 as well as the 1st pixel expanding processing machine 21, pixel expanding processing of a digital image signal is performed.

[0029]The memory WRITE/READ control device 8 is the frame trigger cycle generated with the synchronous system 5, and switches the 1st memory 9 and 2nd memory 10 to an input state and an output state by turns. The 1st memory 9 outputs and inputs the image data by which pixel expanding processing was carried out according to the control signal of the memory WRITE/READ control device 8 with the 1st pixel expanding processing machine 21. The image data by which pixel expanding processing was carried out is outputted [the 2nd memory 10] and inputted in the state of the 1st memory 9 and rebellion according to the control signal of the memory WRITE/READ control device 8 with the 2nd pixel expanding processing machine 22. D/A converter 12 carries out D/A conversion of the image data outputted from the 1st memory 9 or 2nd memory 10, and outputs a synchronized signal and a blank signal to image data in piles by the

timing inputted from the timing controller 11.

[0030]It has a resolution equalization circuit and it becomes possible from the above thing to carry out the synthetic output of the image data from which resolution differs to an image display device on the same scale by having a pixel expanding processing machine for every image generating device.

[0031]

[Effect of the Invention]According to the 1st invention, in an image compositing device, when a picture signal with an asynchronous Vertical Synchronizing signal, and equal vertical scan frequency and horizontal scan frequency is inputted, picture composition of a still picture or an animation is attained.

[0032]According to the 2nd invention, in an image compositing device, when a picture signal with an asynchronous Vertical Synchronizing signal, and equal vertical scan frequency and horizontal scan frequency is inputted, picture composition of a still picture or an animation becomes possible in real time.

[0033]According to the 3rd invention, in an image compositing device, the vertical scan frequency and horizontal scan frequency with which the Vertical Synchronizing signal synchronized are equal, and when the picture signal with which resolution differs is inputted, picture composition of a still picture or an animation is attained on the same scale at an image display device.

[0034]According to the 4th invention, in an image compositing device, the

vertical scan frequency and horizontal scan frequency with which the Vertical Synchronizing signal synchronized are equal, and when the picture signal with which resolution differs is inputted, picture composition of a still picture or an animation is attained on the same scale at an image display device.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the composition of the asynchronous image compositing device of this embodiment of the invention 1.

[Drawing 2] It is a timing chart which catches the working principle of the asynchronous image compositing device of this embodiment of the invention 1.

[Drawing 3] It is a block diagram showing the composition of the asynchronous image compositing device of this embodiment of the invention 2.

[Drawing 4] It is a timing chart which catches the working principle of the asynchronous image compositing device of this embodiment of the invention 2.

[Drawing 5] It is a block diagram showing the composition of the gated image synthesizer unit of this embodiment of the invention 3.

[Drawing 6] It is a block diagram showing the composition of the gated image

synthesizer unit of this embodiment of the invention 4.

[Drawing 7] It is a figure showing the concept of the composition of a common image compositing device.

[Drawing 8] It is a block diagram showing the composition of the conventional image compositing device.

[Description of Notations]

1 The 1st image generating device

2 The 2nd image generating device

3 Image compositing device

4 Image display device

5 Synchronous system

6 The 1st A/D conversion device

7 The 2nd A/D conversion device

8 Memory WRITE/READ control device

9 The 1st memory

10 The 2nd memory

11 Timing controller

12 D/A converter

13 A synthetic determining device

14 The 1st timing sensing device

15 The 2nd timing sensing device

16 The 3rd memory

17 The 4th memory

18 Resolution equalization circuit

19 The 1st data sampling machine

20 The 2nd data sampling machine

21 The 1st pixel expanding processing machine

22 The 2nd pixel expanding processing machine